

Searching PAJ

第1頁，共1頁

PATENT ABSTRACTS OF JAPAN

Cite No 14

(11)Publication number : 04-000906
 (43)Date of publication of application : 06.01.1992

(51)Int.CI.

H03G 3/12
H01C 13/00

(21)Application number : 02-100491

(71)Applicant : NEC CORP

(22)Date of filing : 18.04.1990

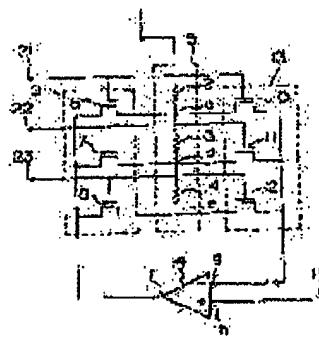
(72)Inventor : INAMI DAIJIRO

(54) VARIABLE RESISTOR

(57)Abstract:

PURPOSE: To ignore non-linear distortion caused by a semiconductor switch element by constituting the variable resistor so that the ON resistance of the semiconductor switch element for switching resistance value can be ignored by the operation of an optional amplifier.

CONSTITUTION: Resistance elements 2, 3 and 4 of a resistor 5 are serially connected, and the other terminal of the resistor 5 is connected to an input terminal 1. Among connecting points (c), (d) and (e) of the resistance elements 2, 3 and 4, the (c) and (d) are intermediate taps. Respectively for elements 6, 7 and 8 of a semiconductor switch 9, one terminal is parallelly connected to the connecting points (c), (d) and (e) of the resistance elements, and a lot of terminals are entirely connected to an output terminal (f) of an operational amplifier 14. By combining and applying switch control signals to control terminals 21, 22 and 23 which control the ON/OFF of semiconductor switches 9 and 13, a resistance value between input terminals 1 and 15 can be made freely variable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C) 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平4-906

⑬ Int. Cl.⁶
 H 03 G 3/12
 H 01 C 13/00

識別記号 A
 廳内整理番号 7239-5J
 K 6781-5E

⑭ 公開 平成4年(1992)1月6日

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 可変抵抗器

⑯ 特願 平2-100491
 ⑰ 出願 平2(1990)4月18日

⑱ 発明者 井波 大二郎 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 岩佐 鶴幸

明細書

1. 発明の名称

可変抵抗器

2. 特許請求の範囲

(1) 前記の抵抗素子を並列に接続し、少なくとも1個の中間タップを有する抵抗器と、抵抗器の各中間タップと抵抗器の一端の接続点に並列に接続する半導体スイッチ素子を複数有する半導体スイッチとを備え、半導体スイッチにおける半導体スイッチ素子のオン、オフ状態を組み合わせて制御することにより、抵抗値を可変する可変抵抗器であって、

前記半導体スイッチと並列に閉ループに接続することにより、前記半導体スイッチに起因する非線型歪を小さくする演算増幅器を有することを特徴とする可変抵抗器。

(2) 第1の入力端子と、複数の抵抗素子を並列に接続して、少なくとも1個の中間タップを有し、第1の入力端子と一端を接続する抵抗器と、両端に端子を有する半導体スイッチ素子を複数有し、

抵抗器の中間タップ及び抵抗器の他端の接続点に各々の半導体スイッチ素子の一端を並列に接続する第1の半導体スイッチと、両端に端子を有する半導体スイッチ素子を複数有し、抵抗器の中間タップ及び抵抗器の他端の接続点に各々の半導体スイッチ素子の一端を並列に第1の半導体スイッチと対応して接続する第2の半導体スイッチと、第2の入力端子とを備え、半導体スイッチ素子のオン、オフ状態の組み合わせにより、第1及び第2の入力端子間の抵抗値を可変する可変抵抗器であって、

出力端子と反転及び非反転の入力端子を有し、反転入力端子を第2の半導体スイッチにおける全ての半導体スイッチ素子の他端と接続し、出力端子を第1の半導体スイッチにおける全ての半導体スイッチ素子の他端と接続し、非反転入力端子を第2の入力端子に接続する演算増幅器とを備え、半導体スイッチに起因する非線型歪を小さくすることを特徴とする可変抵抗器。

(3) 請求項第2記載の可変抵抗器において、

BEST AVAILABLE COPY

特開平4-906(2)

演算増幅器の非反転入力端子と接続する第2の入力端子を接地したことを特徴とする可変抵抗器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、抵抗値が可変できる可変抵抗器に関する、特に半導体集積装置上に製造され、半導体スイッチ素子のオン、オフの組み合わせにより抵抗値を可変する可変抵抗器に関するものである。

(従来の技術)

従来の半導体集積装置上に製造される可変抵抗器は、第4図及び第5図で示すような“並列型”及び“直列型”的構造より成っていた。すなわち、第4図の“並列型”では、抵抗素子51～53と、半導体スイッチ素子54～56とから成り、各々の抵抗素子51～53と半導体スイッチ素子54～56とが各々一端で並列に接続され、抵抗素子の他端は、全て入力端子50に接続され、半導体スイッチ素子54～56の他端は、全て入力端子60に接続されていた。また各々のスイッチをスイッチ制御信号で制御するスイッチ制御端子57～59が半導体スイッチ素子54～56の各々のスイッチに設けられていた。

オフを組み合わせることにより入力端子50と入力端子60間の抵抗値を可変にすることができる。

(発明が解決しようとする課題)

従って従来の可変抵抗器では、入力端子50と入力端子60の間の抵抗値が半導体スイッチ素子のオン抵抗 R_{on} 、 R_{off} に依存するため、半導体スイッチ素子の非線形性の影響を受ける欠点がある。

本発明の目的は、このような欠点を解消し、半導体スイッチ素子の非線形性の影響を受けない抵抗の可変抵抗器を提供することにある。

(課題を解決するための手段)

本発明は、複数の抵抗素子を直列に接続し、少なくとも1個の中間タップを有する抵抗器と、抵抗器の各中間タップと抵抗器の一端の接続点に並列に接続する半導体スイッチ素子を複数有する半導体スイッチとを備え、半導体スイッチにおける半導体スイッチ素子のオン、オフ状態を組み合わせて制御することにより、抵抗値を可変する可変抵抗器であって、

54～56の各々のスイッチに設けられていた。

一方、第6図の“直列型”では、抵抗素子51～53と、半導体スイッチ素子54～56とから成り、抵抗素子51～53を直列に接続して直列接続した一端を入力端子50、他端を入力端子60に接続し、抵抗素子51～53の各々の抵抗素子に並列に半導体スイッチ素子54～56を接続していた。また各々のスイッチをスイッチ制御信号で制御するスイッチ制御端子54～56が半導体スイッチ素子54～56の各々のスイッチに設けられていた。

第4図及び第5図の半導体スイッチ素子は、スイッチ制御端子57～59に“ハイレベル”的スイッチ制御信号を与えると導通状態になり、この状態のときは、各半導体スイッチ素子54～56が比較的小さなオン抵抗値 R_{on} 、 R_{off} 、 R_{on} (図示していない)を有する。またスイッチ制御端子に“ローレベル”的スイッチ制御信号を与えると遮断状態となり、この状態のときは抵抗値が無限大となる。従って、スイッチ制御端子57～59にスイッチ制御信号を与え、半導体スイッチ素子54～56のオ

前記半導体スイッチと並列に閉ループに接続することにより、前記半導体スイッチに起因する非線形性を小さくする演算増幅器を有することを特徴とする。

また本発明は、第1の入力端子と、複数の抵抗素子を直列に接続して、少なくとも1個の中間タップを有し、第1の入力端子と一端を接続する抵抗器と、他端に端子を有する半導体スイッチ素子を複数有し、抵抗器の中間タップ及び抵抗器の他端の接続点に各々の半導体スイッチ素子の一端を並列に接続する第1の半導体スイッチと、両端に端子を有する半導体スイッチ素子を複数有し、抵抗器の中間タップ及び抵抗器の他端の接続点に各々の半導体スイッチ素子の一端を並列に接続する第2の半導体スイッチと、第2の入力端子とを備え、半導体スイッチ素子のオン、オフ状態の組み合わせにより、第1及び第2の入力端子間の抵抗値を可変する可変抵抗器であって、

出力端子と反転及び非反転の入力端子を有し、

BEST AVAILABLE COPY

反転入力端子を第2の半導体スイッチにおける全ての半導体スイッチ素子の他端と接続し、出力端子を第1の半導体スイッチにおける全ての半導体スイッチ素子の他端と接続し、非反転入力端子を第2の入力端子に接続する演算増幅器とを備え、半導体スイッチに起因する非線型歪を小さくすることを特徴とする。

更に本発明は、演算増幅器の非反転入力端子と接続する第2の入力端子を接地したことを特徴とする。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は、本発明の一実施例を示す回路図である。

この可変抵抗器は、抵抗器5と、第1及び第2の2個の半導体スイッチ9、13と、演算増幅器14とから成る。抵抗器5は、3個の抵抗素子2、3、4を備え、半導体スイッチ9は、3個の半導体スイッチ素子6、7、8を備え、半導体スイッチ13

は、入力端子15に接続されている。

半導体スイッチ9、13のオン、オフを制御する制御端子21、22、23にスイッチ制御信号を組み合わせて与えることにより、半導体スイッチ素子6～8及び半導体スイッチ素子10～12がオンとなり、入力端子1と入力端子15の間の抵抗値を自由に可変することができる。半導体スイッチ素子6～8及び半導体スイッチ素子10～12のオン状態のとき、各半導体スイッチ素子が有する非線型歪を小さくするのが演算増幅器14である。

第2図及び第3図は、この実施例の動作を説明するための等価回路を示した図である。第2図の抵抗R₁、R₂は、半導体スイッチ素子6及び半導体スイッチ素子10がオン状態のときのオン抵抗の抵抗値であり、第3図のR₃、R₄は、半導体スイッチ素子8及び半導体スイッチ素子12がオン状態のときのオン抵抗の抵抗値である。また、抵抗素子2～4の抵抗値がR₅、R₆、R₇である。

次に、この実施例の動作について説明する。半導体スイッチ9、13の制御端子21～23に与えるス

特開平4-906(3)

は、3個の半導体スイッチ素子10、11、12を備えている。

抵抗器5の抵抗素子2、3、4は直列に接続され、抵抗素子5の他端は入力端子1に接続されている。また抵抗素子2、3、4の接続点c、d、e(抵抗器5の一端)の内、c、dが中間タップとなっている。

半導体スイッチ9の半導体スイッチ素子6、7、8は、各々の一端が抵抗素子の接続点c、d、eに並列に接続され、他端は全て演算増幅器14の出力端子1に接続されている。同様に半導体スイッチ13の半導体スイッチ素子10、11、12は、各々の一端が抵抗素子の接続点c、d、eに並列に接続され、他端は全て演算増幅器14の反転入力端子8に接続されている。またスイッチ制御端子21には、半導体スイッチ素子6、10を制御する制御線が接続され、制御端子22には、半導体スイッチ素子7、11を制御する制御線が接続され、制御端子23には、半導体スイッチ素子8、12を制御する制御線が接続されている。演算増幅器14の非反転入力端子9

は、入力端子15に接続されている。

半導体スイッチ9、13が導通状態となるものとする。また演算増幅器の利得は充分高くA>1とし、入力端子15を接地して入力端子1から見た抵抗について考える。

最初に、制御端子21のスイッチ制御信号が“ハイレベル”的場合、半導体スイッチ素子6、10がオン状態となるため、半導体スイッチ素子6、半導体スイッチ素子10、演算増幅器14の閉ループが構成され、第2回路で示すような等価回路となる。すなわち、演算増幅器14の反転入力端子8及び出力端子1の間に、半導体スイッチ素子6、10によるオン抵抗R₁、R₂が接続され、これらの中間点cに抵抗素子2が接続された等価回路である。また半導体スイッチ14の非反転入力端子は接地されている。このとき演算増幅器の利得Aが充分高いため、閉ループ内のオン抵抗R₁、R₂の抵抗値は、R₁、R₂／A、R₁、R₂／Aとなる。R₁、R₂／A、R₁、R₂／Aは、抵抗素子2の抵抗値R₅と比較すると充分に小さいため無視できる。従って、入力端子1、15間の

BEST AVAILABLE COPY

抵抗値は、第2回めで示したものと等価となり、抵抗値は R_s となる。

次に、制御端子21, 22のスイッチ制御信号が“ロー・レベル”、制御端子23の制御信号が“ハイ・レベル”的場合、半導体スイッチ素子9, 12のみオン状態となり、半導体スイッチ素子6, 10, 7, 11がオフ状態となるため、等価回路は第3回めとなる。すなわち、演算増幅器14の反転入力端子8及び出力端子1との間に半導体スイッチ素子8, 12によるオン抵抗 R_s, R_{12} が接続されて半導体スイッチ端子8, 半導体スイッチ素子12, 半導体スイッチ14の閉ループが構成される。またオン抵抗 R_s, R_{12} の中点cには、抵抗素子2, 3, 4が直列に接続されている。上述した様に、オン抵抗 R_s, R_{12} の抵抗値は、 $R_s/A, R_{12}/A$ となり、抵抗素子2, 3, 4の抵抗値 R_s, R_{12}, R_s と比較して充分に小さく無視できる。従って、入力端子1, 13間の抵抗値は、第3回めで示したものと等価となり、抵抗値は $R_s + R_{12} + R_s$ となる。

以上説明したように演算増幅器の閉ループを構

特開平4-906(4)

成することにより、半導体スイッチ素子がオン状態となったときのオン抵抗による影響を排除することができる。

(発明の効果)

以上説明したように、本発明の可変抵抗器は、抵抗値切替用である半導体スイッチ素子のオン抵抗が、演算増幅器の動作により無視できる値となっているため、半導体スイッチ素子に起因する非線型歪が無視できる程小さくなるという効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示す回路図。

第2図及び第3図は、第1図の半導体スイッチ素子が導通状態のときの等価回路を示す図。

第4図及び第5図は、従来の技術の一例を示す回路図である。

2 ~ 4 ··· 抵抗素子

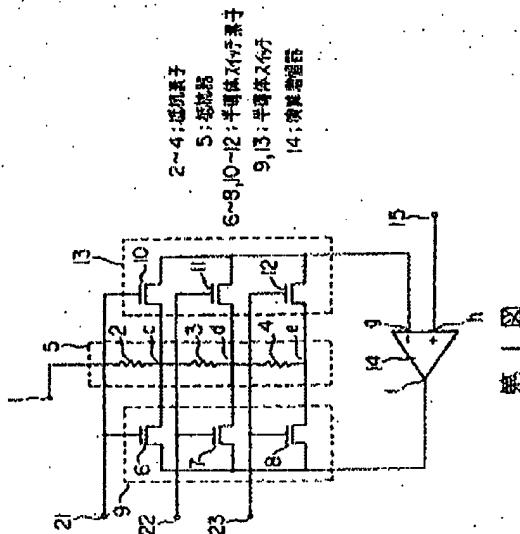
5 ··· ··· 抵抗器

6 ~ 8, 10 ~ 12 ··· 半導体スイッチ素子

9, 13 ··· 半導体スイッチ

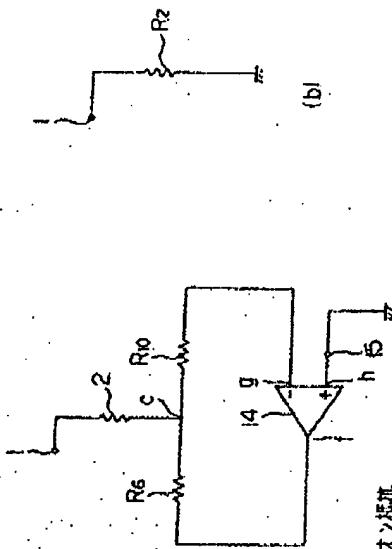
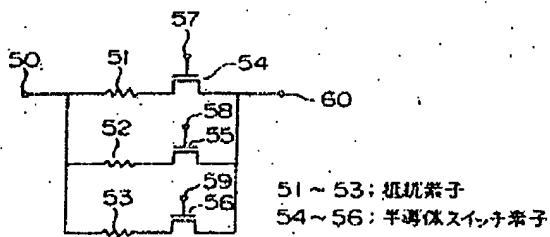
14 ··· ··· 演算増幅器

代理人弁理士 岩佐義幸

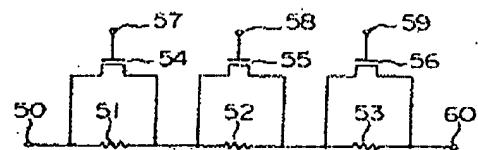


BEST AVAILABLE COPY

特開平4-906(5)

 R_6, R_{10} : オン抵抗

第 4 図



第 5 図